

#2  
3-7-02

1c760 U.S. PTO  
10/023861  
12/23/03



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 특허출원 2001년 제 60631 호  
Application Number PATENT-2001-0060631

출원 년 월 일 : 2001년 09월 28일  
Date of Application SEP 28, 2001

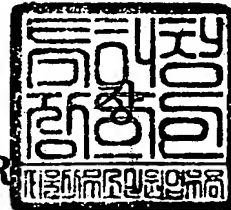
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2001 년 11 월 23 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.09.28
【발명의 명칭】	반도체소자의 격리방법
【발명의 영문명칭】	method for isolating semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	권재순
【성명의 영문표기】	KWON, Jae Soon
【주민등록번호】	691230-1261612
【우편번호】	361-773
【주소】	충청북도 청주시 흥덕구 비하동 효성아파트 202-1504
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	19      면                      29,000    원
【가산출원료】	0      면                              0    원
【우선권주장료】	0      건                              0    원
【심사청구료】	7      항                      333,000   원
【합계】	362,000    원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 기판의 격리영역에 트렌치공정을 적용하여 소자분리막을 형성하는 반도체소자의 분리방법에 관해 개시한다.

개시된 본 발명의 반도체소자의 분리방법은 소자의 격리영역이 정의된 반도체기판을 제공하는 단계와, 기판 상에 격리영역을 노출시키는 마스크를 형성하는 단계와, 마스크로 덮고 기판을 식각하여 트렌치를 형성하는 단계와, 마스크로 덮고 수소분위기 하에서 상기 트렌치 내벽에 열처리를 진행하는 단계와, 상기 결과의 트렌치 내벽을 덮는 제 1절연층을 형성하는 단계와, 마스크 상에 제 1절연층을 덮는 제 2절연층을 형성하는 단계와, 제 2절연층을 식각하여 마스크 표면을 노출시키는 단계와, 마스크를 제거하는 단계와, 기판 표면이 노출되는 시점까지 잔류된 제 2절연층을 식각하여 소자분리막을 형성하는 단계를 포함한다.

**【대표도】**

도 5d

## 【명세서】

## 【발명의 명칭】

반도체소자의 격리방법{method for isolating semiconductor device}

## 【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 기술에 따른 반도체소자의 격리과정을 보인 공정단면도.

도 2, 도 3 및 도 4는 종래 기술에 따른 문제점을 도시한 공정단면도 및 평면도.

도 5a 내지 도 5g는 본 발명에 따른 반도체소자의 분리방법을 보인 공정단면도.

## 도면의 주요부분에 대한 부호의 설명

200. 반도체기판

202. 패드 질화막

204. 실리콘 질화막

208. 감광막 패턴

210. 트렌치

240. 수소가스 공급

242. 열처리

250. 에피층

220. 깎필옥사이드막

222. 소자분리막

230. 다결정실리콘층

Ⅲ. 격리영역

Ⅳ. 소자영역

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 반도체소자의 분리방법에 관한 것으로, 보다 상세하게는 기판의 격리영역에 STI(Shallow Trench Isolation) 공정을 적용하여 소자분리막을 형성할 수 있는 반도체소자의 분리방법에 관한 것이다.

<13> 실리콘 웨이퍼에 형성되는 반도체 장치는 개개의 회로 패턴들을 전기적으로 분리하기 위한 소자 분리 영역을 포함한다. 상기 소자 분리 영역의 형성은 모든 제조 단계에 있어서 초기 단계의 공정으로서, 활성영역의 크기 및 후공정 단계의 공정마진을 좌우하게 되기 때문에 반도체 장치가 고집적화 되고 미세화 되어감에 따라 각 개별 소자의 크기를 축소시키는 것뿐만 아니라 소자 분리 영역의 축소에 대한 연구가 활발히 진행되고 있다.

<14> 일반적으로 반도체 장치의 제조에 널리 이용되는 로코스 소자분리 방법은 공정이 간단하다는 이점이 있지만 256M DRAM급 이상의 고집적화되는 반도체 소자에 있어서는 소자 분리 영역의 폭이 감소함에 따라 버즈비크(Bird' Beak)에 의한 펀치쓰루(Punch-Through)와 소자 분리막의 두께 감소로 인하여 그 한계점에 이르러 있다.

<15> 이에따라, 고집적화된 반도체 장치의 소자 분리에 적합한 기술로 트랜치를 이용한 소자 분리 방법, 예컨대 샬로우 트랜치 분리방법(Shallow Trench Isolation: 이하, STI)이 제안되었다.

<16> 도 1a 내지 도 1d는 종래기술에 따른 반도체소자의 분리방법을 보인 공정순서도이다.

<17> 종래 기술에 따른 반도체 소자의 격리방법은, 도 1a에 도시된 바와 같이, 소자 영역(Ⅱ)과 격리영역(Ⅰ)이 정의된 반도체기판(100) 전면면에 완충 역할을 하는 패드 산화막(102)과 산화를 억제하는 실리콘 질화막(104)을 차례로 형성한다.

<18> 이어서, 상기 실리콘 질화막(104) 상에 감광막(photoresist)을 도포한 후, 노광 및 현상하여 격리영역(Ⅰ)을 노출시키는 감광막 패턴(PR)(108)을 형성한다.

<19> 그 다음, 도 1b에 도시된 바와 같이, 상기 감광막 패턴(108)을 식각마스크로 하여 상기 실리콘 질화막, 패드 산화막 및 기판의 소정 깊이만큼 식각하여 샬로우 트렌치(110)를 형성한다. 이 후, 감광막 패턴을 제거한다.

<20> 이 후, 트렌치 식각시 유발되는 표면 디펙트(defect)를 회복하기 위해, 트렌치(110)가 형성된 실리콘 기판(100)상에 열산화막(도시되지않음)을 형성한 후, 제거한다.

<21> 이어서, 도 1c에 도시된 바와 같이, 상기 결과물 상에 트렌치(110) 내부를 매립하는 겹필옥사이드막(120)을 형성한 후, 도 1d에 도시된 바와 같이, 상기 겹필옥사이드막(120)을 화학기계연마(Cheical Mechanical Polishing: 이하, CMP라 칭함)공정에 의해 식각하여 실리콘 질화막(104)이 노출되도록 평탄화한다.

<22> 이때, 실리콘 질화막(104)과 겹필옥사이드막(120) 사이에 접착용 산화막(미도시)을 개재시키어 겹필옥사이드막과의 접착강도를 향상시킬 수도 있다. 상기 트렌치(120) 내부에 잔류된 겹필옥사이드막이 소자격리막(121)이 된다.

<23> 그 다음, 상기 실리콘 질화막 및 패드 산화막을 차례로 제거한다. 이 후, 상기 구조의 기판 상에 게이트 형성용 다결정실리콘층(130)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

<24> 도 2, 도 3 및 도 4는 종래 기술에 따른 문제점을 도시한 공정단면도 및 평면도이다.

<25> 종래의 방법에서는 트렌치가 형성된 기판 표면의 디펙트를 회복하기 위한 열산화막을 형성 및 제거하는 공정에서, 도 2에 도시된 바와 같이, 트렌치 상단 가장자리 부위가 리세스(recess)(a)되고, 이 후의 잭필옥사이드막 증착/ CMP 공정 및 후속의 세정 공정에서, 도 3에 도시된 바와 같이, 상기 리세스된 부위(a)의 식각율이 커진다.

<26> 그리고, 이 후의 게이트 형성용 다결정실리콘층 증착 및 패터닝 공정에서, 상기 다결정실리콘이 상기 리세스된 부위에 잔류되어, 도 4에 도시된 바와 같이, 소자영역 (140) 상의 워드라인 간(130)에 쇼트(short)(ℓ 부위)가 유발되는 문제점이 있었다.

<27> 이에 본 발명은 상기 종래의 문제점을 해결하기 위해 안출된 것으로, 트렌치 상단 가장자리 부위에 리세스되지 않으면서도 트렌치 형성을 위한 기판 식각 공정 시에 발생된 표면 디펙트를 용이하게 회복시킬 수 있는 반도체소자의 분리 방법을 제공함에 그 목적이 있다.

## 【발명의 구성 및 작용】

- <28> 상기 목적을 달성하기 위한 본 발명의 반도체소자의 격리방법은 소자의 격리영역이 정의된 반도체기판을 제공하는 단계와, 기판 상에 격리영역을 노출시키는 마스크를 형성하는 단계와, 마스크로 덮고 기판을 식각하여 트렌치를 형성하는 단계와, 마스크로 덮고 수소분위기 하에서 상기 트렌치 내벽에 열처리를 진행하는 단계와, 상기 결과의 트렌치 내벽을 덮는 제 1절연층을 형성하는 단계와, 마스크 상에 제 1절연층을 덮는 제 2절연층을 형성하는 단계와, 제 2절연층을 식각하여 마스크 표면을 노출시키는 단계와, 마스크를 제거하는 단계와, 기판 표면이 노출되는 시점까지 잔류된 제 2절연층을 식각하여 소자분리막을 형성하는 단계를 포함한 것을 특징으로 한다.
- <29> 본 발명의 반도체장치의 분리방법은 소자의 격리영역이 정의된 반도체기판을 제공하는 단계와, 기판 상에 완충산화막 및 실리콘 질화막을 차례로 형성하는 단계와, 실리콘 질화막 상에 격리영역을 노출시키는 감광막패턴을 형성하는 단계와, 감광막패턴을 마스크로 하여 실리콘 질화막, 패드 산화막 및 기판을 식각하여 트렌치를 형성하는 단계와, 감광막패턴을 제거하는 단계와, 잔류된 실리콘 질화막을 마스크로 하고, 수소분위기 하에서 트렌치 내벽에 열처리를 진행하는 단계와, 상기 결과의 트렌치 내벽을 덮는 에피층을 형성하는 단계와, 잔류된 실리콘 질화막 상에 에피층을 덮는 절연층을 형성하는 단계와, 절연층을 1차 식각하여 잔류된 실리콘 질화막 표면을 노출시키는 단계와, 잔류된 실리콘 질화막을 제거하는 단계와, 기판 표면이 노출되는 시점까지 상기 절연층을 2차 식각하여 소자분리막을 형성하는 단계를 포함한 것을 특징으로 하는 반도체소자의 분리방법.



<30> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<31> 도 5a 내지 도 5g는 본 발명에 따른 반도체소자의 분리방법을 보인 공정단면도이다.

<32> 본 발명의 반도체장치의 분리방법은, 도 5a에 도시된 바와 같이, 먼저, 반도체기판(200) 전면에 화학기상증착 공정에 의해 완충역할을 하는 패드산화막(202) 및 산화되지 않는 실리콘 질화막(204)을 차례로 형성한다. 상기 반도체기판(200)은 소자영역(IV)과 격리영역(III)이 정의되어져 있다.

<33> 이어서, 상기 실리콘 질화막(204) 상에 감광막을 도포한 후, 노광 및 현상하여 소자영역(IV)을 덮고 격리영역(III)을 노출시키는 감광막 패턴(PR)(208)을 형성한다.

<34> 그 다음, 도 5b에 도시된 바와 같이, 상기 감광막 패턴(208)을 식각마스크로 하고, 건식 식각 공정에 의해 상기 실리콘 질화막, 패드 산화막 및 기판의 소정 깊이만큼 제거하여 샬로우 트렌치(210)를 형성한다. 이 후, 감광막패턴을 제거한다.

<35> 이어서, 도 5c에 도시된 바와 같이, 상기 트렌치(210)가 형성된 기판에 수소가스(240)를 공급하고, 열처리(242)를 진행시킨다.

<36> 이때, 수소가스 분위기 하에서, 상기 트렌치가 형성된 기판에 열처리를 진행시키게 되면, 실리콘기판(200)의 식각 공정에 따른 결정 디펙트(crystal defect), 구체적으로 결정유발 파티클(Crystal Originated Particle: 이하, COP라 칭함)을

완화시키어 정션 리키지(junction leakage)를 감소시킴으로써 실리콘 기판을 보호할 수 있다.

<37>  $2H_2 + SiO_2 \rightarrow H_2O \uparrow + Si$  -----(a)

<38> 즉, 상기 COP의 표면은 불안정한 Si-O결합으로 되어 있으므로,  $H_2$ 가 확산되어 상기 (a)와 같은 메카니즘(mechanism)으로 COP 표면의 Si-O 결합을 제거하고, 이후 Si이 이동(migration)되어 COP 디펙트가 사라지게 된다.

<39> 그 다음, 수소 가스 공급(240) 및 열처리(242) 공정에 의해 실리콘 기판 표면의 안정화가 이루어진 후, 도 5d에 도시된 바와 같이, 트렌치 표면에 선택적 실리콘 에피성장을 실시하여

<40> 절연층(250)을 형성한다.

<41> 상기 선택적 실리콘 에피성장에 의해, 실리콘기판의 식각 데미지를 완화시키어 정션 리키지(junction leakage)를 감소시키고 실리콘 기판을 보호할 수 있다.

<42> 이 후, 도 5e에 도시된 바와 같이, 상기 결과물 상에 트렌치(210) 내부를 매립하는 겹필옥사이드막(220)을 형성한 후, 도 5e에 도시된 바와 같이, 상기 겹필옥사이드막(220)을 CMP 공정에 의해 식각하여 실리콘 질화막(204)을 노출시킨다.

<43> 이때, 실리콘 질화막(204)과 겹필옥사이드막(220) 사이에 접착용 산화막(미도시)을 개재시키어 겹필옥사이드막과의 접착강도를 향상시킬 수도 있다. 도면부호 221은 상기 식각 공정에 의해 잔류된 겹필옥사이드막이 된다.

<44> 이어서, 도 5f에 도시된 바와 같이, 상기 실리콘 질화막을 제거한다.

<45> 그 다음, 도 5g에 도시된 바와 같이, 기판 표면이 노출되는 시점까지 잔류된 겹 필옥사이드막을 식각하여 소자격리막(222)을 형성한다. 이 후, 상기 결과물 상에 게이트 형성용 다결정실리콘층(230)을 증착한 후, 패턴 식각하여 게이트(미도시)를 형성한다.

**【발명의 효과】**

<46> 이상에서와 같이, 본 발명의 방법은 수소가스 분위기 하에서 트렌치 내부에 열처리를 실시함으로써, 트렌치 형성을 위한 식각 공정 시에 발생된 표면 디펙트를 실리콘 이동을 통하여 회복할 수 있다.

<47> 또한, 실리콘 질화막 하부의 실리콘이 선택적 실리콘 에피성장에 의해 성장하여 돌출된 형태를 가지게 됨으로써, 이 후 절연막 증착 및 CMP로 소자격리 공정을 완료한 후에도, 트렌치 상단 가장자리 부분이 리세스되지 않는다.

<48> 따라서, 본 발명에서의 살로우 트렌치 상부에 리세스가 형성되지 않으므로, 워드라인 간의 쇼트가 발생되지 않아 고신뢰성의 디바이스 제조에 적합하다.

<49> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

**【특허청구범위】****【청구항 1】**

소자의 격리영역이 정의된 반도체기판을 제공하는 단계와,  
상기 기판 상에 상기 격리영역을 노출시키는 마스크를 형성하는 단계와,  
상기 마스크로 덮고 상기 기판을 식각하여 트렌치를 형성하는 단계와,  
상기 마스크로 덮고 수소분위기 하에서 상기 트렌치 내벽에 열처리를 진행하는 단계와,  
상기 결과의 트렌치 내벽을 덮는 제 1절연층을 형성하는 단계와,  
상기 마스크 상에 상기 제 1절연층을 덮는 제 2절연층을 형성하는 단계와,  
상기 제 2절연층을 식각하여 상기 마스크 표면을 노출시키는 단계와,  
상기 마스크를 제거하는 단계와,  
상기 기판 표면이 노출되는 시점까지 상기 잔류된 제 2절연층을 식각하여 소자 분리막을 형성하는 단계를 포함한 것을 특징으로 하는 반도체소자의 분리방법.

**【청구항 2】**

제 1항에 있어서, 상기 열처리는 600℃~1300℃온도에서 진행하는 것을 특징으로 하는 반도체소자의 분리방법.

**【청구항 3】**

제 1항에 있어서, 상기 제 1절연층은 에피택셜 성장 공정에 의해 형성하는 것을 특징으로 하는 반도체소자의 분리방법.

**【청구항 4】**

제 1항에 있어서, 상기 제 2절연층은 화학기계적 연마 또는 에치백 공정에 의해 식각하는 것을 특징으로 하는 반도체소자의 분리방법.

**【청구항 5】**

소자의 격리영역이 정의된 반도체기판을 제공하는 단계와,

상기 기판 상에 완충산화막 및 실리콘 질화막을 차례로 형성하는 단계와,

상기 실리콘 질화막 상에 상기 격리영역을 노출시키는 감광막패턴을 형성하는 단계와,

상기 감광막패턴을 마스크로 하여 상기 실리콘 질화막, 상기 패드 산화막 및 상기 기판을 식각하여 트렌치를 형성하는 단계와,

상기 감광막패턴을 제거하는 단계와,

상기 잔류된 실리콘 질화막을 마스크로 하고, 수소분위기 하에서 상기 트렌치 내벽에 열처리를 진행하는 단계와,

상기 결과의 트렌치 내벽을 덮는 에피층을 형성하는 단계와,

상기 잔류된 실리콘 질화막 상에 상기 에피층을 덮는 절연층을 형성하는 단계와,

상기 절연층을 1차 식각하여 상기 잔류된 실리콘 질화막 표면을 노출시키는 단계와,

상기 잔류된 실리콘 질화막을 제거하는 단계와,

상기 기판 표면이 노출되는 시점까지 상기 절연층을 2차 식각하여 소자분리막을 형성하는 단계를 포함한 것을 특징으로 하는 반도체소자의 분리방법.

**【청구항 6】**

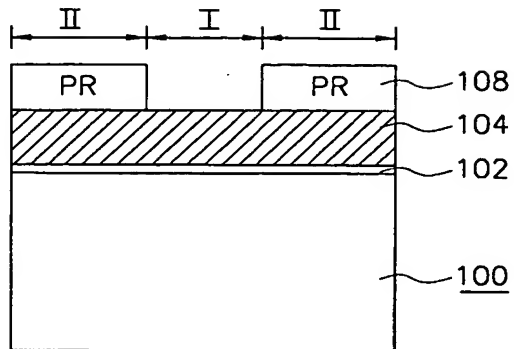
제 5항에 있어서, 상기 열처리는  $600^{\circ}\text{C} \sim 1300^{\circ}\text{C}$  온도에서 진행하는 것을 특징으로 하는 반도체소자의 분리방법.

**【청구항 7】**

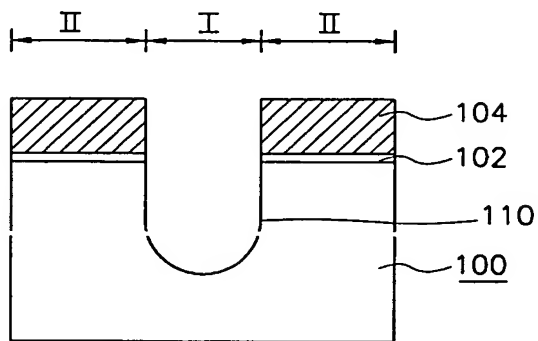
제 5항에 있어서, 상기 절연층 식각 공정은 화학기계적 연마 또는 에치백하는 것을 특징으로 하는 반도체소자의 분리방법.

【도면】

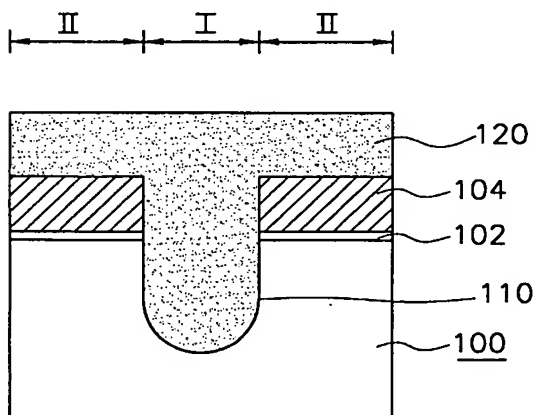
【도 1a】



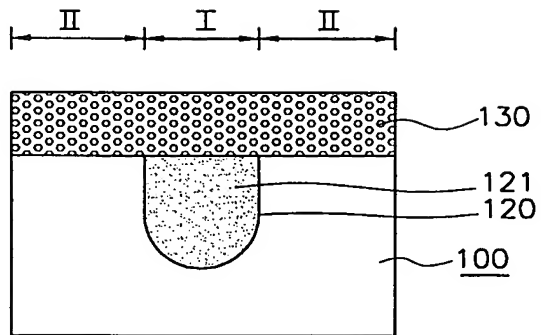
【도 1b】



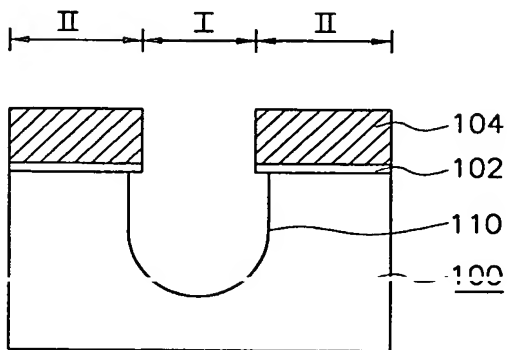
【도 1c】



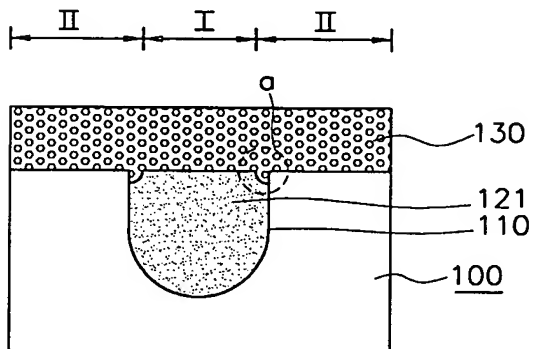
【도 1d】



【도 2】

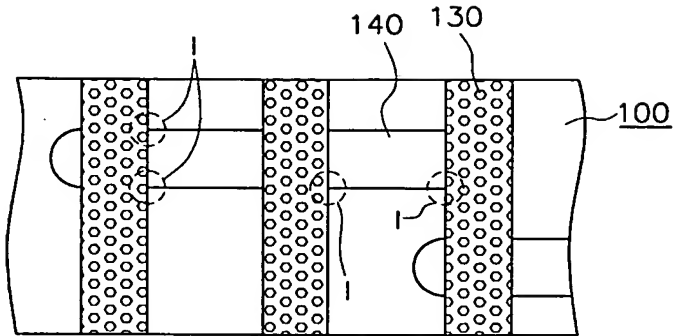


【도 3】

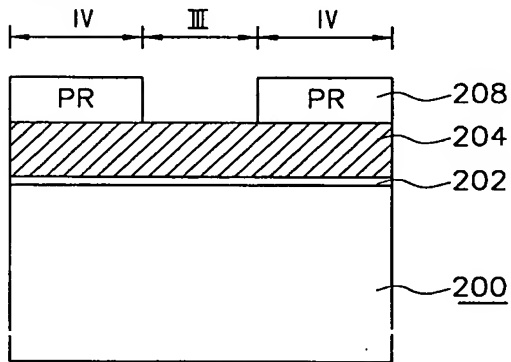




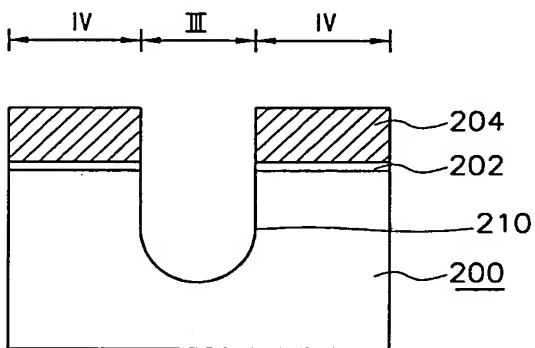
【도 4】



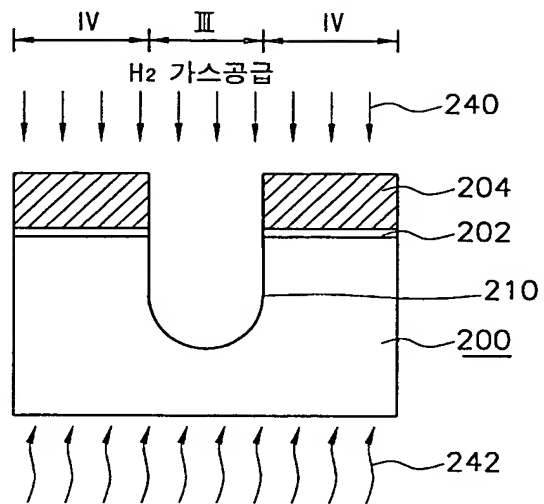
【도 5a】



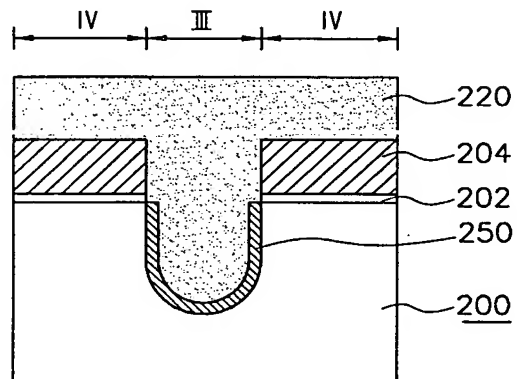
【도 5b】



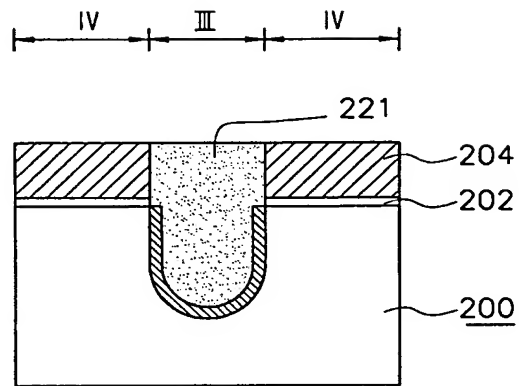
【도 5c】



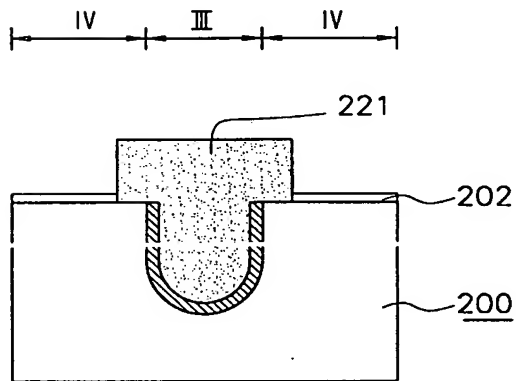
【도 5d】



【도 5e】



【도 5f】



【도 5g】

